



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

1c971 U.S. PTO
10/075025
02/11/02

#4

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

01103107.7

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

DEN HAAG, DEN
THE HAGUE, 27/11/01
LA HAYE, LE

This Page Blank (uspto)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

**Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation**

Anmeldung Nr.:
Application no.: 01103107.7
Demande n°:

Anmeldetag:
Date of filing: 09/02/01
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
SIEMENS AKTIENGESELLSCHAFT
80333 München
GERMANY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Verfahren und Anordnung zur Regelung der Entscheiderschwelle und der Abtasttaktphase eines
Datenregenerators für ein binäres Signal

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

H04L25/06

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

This Page Blank (uspto)

200023535

1

EPO - Munich
63
09. Feb. 2001

Beschreibung

Verfahren und Anordnung zur Regelung der Entscheiderschwelle
und der Abtasttaktphase eines Datenregenerators für ein binä-
res Signal

Die Erfindung betrifft ein Verfahren zur Regelung der Ent-
scheiderschwelle und/oder der Phase eines Abtasttaktsignals
eines Datenregenerators für ein binäres Signal durch Auswer-
tung von Fehlerkorrektursignalen.

Es sind zahlreiche Schaltungen bekannt, bei der die Entschei-
derschwelle eines Datenregenerators und die Phase des Abtast-
taktes auf Grund von Kriterien korrigiert werden, die aus dem
empfangenen Signal gewonnen werden. Daneben gibt es eine wei-
tere Gruppe von Datenregeneratoren, die bei einem redundanten
Binärsignal die Fehlererkennung/Fehlerkorrektur zur Steuerung
der Entscheiderschwelle und der Phasenlage nutzen.

Aus der Offenlegungsschrift DE 197 17 642 A1 ist ein Verfah-
ren bekannt, bei dem die Entscheiderschwelle und die Phase
mit Hilfe einer Steuerung variiert werden, bis die Fehlerrate
ein Minimum erreicht. Bei diesem Verfahren pendeln die Pha-
senlage und die Schwelle stets um das Optimum herum.

Aus dem Patent US 4,360,926 ist eine digitale PLL (Phasenre-
geleinrichtung) bekannt, bei der sowohl ein Phasenvergleich
zwischen dem empfangenen Signal und dem Abtasttakt durchge-
führt wird, als auch zusätzlich Information des Fehlerdetek-
tors zur Optimierung verwendet wird.

Aufgabe der Erfindung ist es, Verfahren zur Optimierung der
Entscheiderschwelle und/oder der Phasenlage des Abtasttaktes
anzugeben. Außerdem ist eine geeignete Anordnung anzugeben.

Diese Aufgabe wird durch die unabhängigen Ansprüche gelöst.

200023535

2

Sowohl die Entscheiderschwelle als auch die Abtastphase oder beides können durch Verwendung der Korrektursignale in Zusammenhang mit der Berücksichtigung des logischen Zustandes des binären Signals geregelt werden.

5

Ein Vorteil dieses Verfahrens ist es, dass es auch bei größeren Bitfehlerraten arbeitet.

10

Zur Regelung der Entscheiderschwelle wird die Differenz zwischen der Anzahl der korrigierten 1-Bits, das heißt, das korrigierte Bit wird eine binäre Null, und der Anzahl der korrigierten 0-Bits, hier erfolgt eine Korrektur in eine binäre Eins, verwendet. Es ist auch die Auswertung des Quotienten aus korrigierten 1-Bits zu 0-Bits (oder umgekehrt) möglich.

15

Bei ungleichgewichtigen Codes sollte die Relation von binären Einsen zu binären Nullen berücksichtigt werden.

20

Die Korrektursignale werden ebenfalls zur Regelung der Phase eines Abtasttaktes verwendet. Hierzu wird überprüft, ob die Anzahl der Korrekturen vor oder nach einem Übergang zwischen zwei unterschiedlichen (korrigierten) Binärzuständen größer ist.

25

Eine entsprechende Anordnung ist rein digital realisierbar, so dass Probleme durch Temperaturabhängigkeit oder Alterung wie bei den herkömmlichen Taktregeneratoren vermieden werden.

30

Vorteilhaft ist auch eine Überwachung der Häufigkeit von Korrekturen, die bei gleichbleibenden Übertragungsbedingungen die Arbeitsweise der Regelung wiedergibt. Bei optimierter Abtastung ist die Häufigkeit von Korrekturen ein Kriterium für die Signalqualität, das außerdem zur Steuerung der Zeitkonstanten der Regeleinrichtungen verwendet werden.

35

Vorteilhaft ist auch eine Begrenzung der Variationsbreite der Entscheiderschwelle, damit die Betriebsfähigkeit immer gewährleistet ist.

200023535

3

Das erfindungsgemäße Verfahren kann auch mit den herkömmlichen analogen Verfahren, bei denen zur Phasenkorrektur das Empfangssignal mit dem Abtasttaktsignal verglichen wird, kom-

5 biniert werden.

Die Erfindung wird anhand eines Ausführungsbeispielles näher erläutert.

10 Es zeigen:

Figur 1 ein Prinzipschaltbild eines Datenregenerators,

Figur 2 ein Zeitdiagramm zur Regelung der Entscheider-

15 schwelle und

Figur 3 ein Zeitdiagramm zur Regelung der Phase des Abtast-

taktes.

20 In **Figur 1** ist der erfindungsgemäße Datenregenerator 1 - 6 dargestellt. Einer Entscheiderstufe 1 wird das Signal BS zugeführt und mit einem Vergleichswert, der Entscheiderschwelle TH, verglichen. Das binäre Ausgangssignal der Entscheiderstufe 1 wird dem Dateneingang D einer Abtastkippstufe 2 zuge-

25 führt und dessen Datenbits werden im Idealfall jeweils in der Bitmitte mit einem Abtasttaktsignal TS abgetaktet (gespeichert), das von einem nicht dargestellten gesteuerten Oszillator (VCO) eines Taktregenerators 3 (z. B. eines Phasenregelkreises PLL) erzeugt wird. Vom Datenausgang der Abtast-

30 kippstufe 2 gelangt das binäre Signal zu einer Fehlerkorrektureinrichtung (FEC) 4, die an ihrem Datenausgang ein korrigiertes Binärsignal CBS abgibt.

Die Fehlerkorrektureinrichtung 4 erkennt auf Grund von redundanter Information, welche Bits des binären Signals gestört sind und korrigiert diese durch Invertieren. Die Korrektursignale werden hier mit dem Binärzustand des noch unkorri-

35

200023535

4

gierten Bits kombiniert (gleichwertig ist eine logische Verknüpfung mit dem Zustand des korrigierten Bits) und als Korrektursignale $K1$ beziehungsweise $K0$ ausgegeben. $K1$ bedeutet, dass ein als Binärzustand "1" in der Abtastkipfstufe 2 gespeichertes Bit in den Binärzustand "0" korrigiert wird; $K0$ bedeutet eine Korrektur des Binärzustandes "0" in den Binärzustand "1". Ein Entscheiderschwelle-Regler 5 bildet die Differenz zwischen den Summen der $K1$ -Korrektursignale und $K0$ -Korrektursignale $\Sigma K1 - \Sigma K0$ und verschiebt entsprechend die Schwelle TH der Entscheiderstufe 1. Die Meßintervalle können der Bitfehlerrate angepaßt werden; auch kann bis zu einer bestimmten Anzahl von Korrekturvorgängen gezählt werden oder beide Methoden werden kombiniert.

Im Diagramm **Figur 2** ist der zeitliche Verlauf der Amplitude A eines ungestörten binären Signals BS als Funktion der Zeit t als durchgezogene Linie dargestellt, das empfangsseitig zu Zeitpunkten T_0, T_1, T_2, \dots abgetastet wird. Die Entscheiderschwelle (Abtastschwelle) TH liegt jedoch nicht bei ihrem Idealwert TH_0 (gestrichelt), sondern wesentlich tiefer. Ein ideales Signal BS wird jetzt noch richtig abgetastet. Kommen jetzt aber Signalverzerrungen hinzu, dann ist bei einem gestörten Signal - gestrichelt dargestellt - eine Verfälschung der binären "0" in eine binäre "1" sehr leicht möglich, was durch einen Korrekturvorgang $K1$ wieder rückgängig gemacht wird. Überwiegen die Korrektursignale $K1$ gegenüber den weit weniger wahrscheinlichen Korrektursignalen $K0$, dann muss die Entscheiderschwelle TH in Richtung der optimalen Schwelle S_0 , hier hin zu höheren Werten, verschoben werden. Unter der Voraussetzung, dass die binäre "1" den höheren Pegel aufweist, gilt für die Entscheiderschwelle TH :

$$(1) \quad \Sigma K1 > \Sigma K0 \Rightarrow TH \text{ höher}$$

$$(2) \quad \Sigma K1 < \Sigma K0 \Rightarrow TH \text{ niedriger}$$

200023535

5

Bei einem ungleichgewichtigen Code gilt entsprechend (einschließlich mathematischer Umformungen):

$$(3) \quad \frac{\Sigma K1}{N0} > \frac{\Sigma K0}{N1} \Rightarrow \text{TH höher}$$

5

$$(4) \quad \frac{\Sigma K1}{N0} < \frac{\Sigma K0}{N1} \Rightarrow \text{TH niedriger}$$

10 Ebenso können, wie einleitend erwähnt, die Quotienten der aufsummierten Korrektursignale mit dem Quotienten der Summe der binären Nullen $N0$ mit der Summe der binären Einsen $N1$ verglichen werden, wodurch ebenfalls das Verhältnis von binären Nullen zu Einsen berücksichtigt wird.

15 Der Bereich, in dem eine Verschiebung der Entscheiderschwelle möglich ist, kann begrenzt werden, so dass der Taktregenerator bzw. der Empfänger stets im funktionsfähig bleibt.

20 In einer ähnlichen Weise werden Korrektursignale KBT (before transition) und KAT vor (after transition) und nach dem Übergang zwischen zwei Binärzuständen gewonnen. Dies erfolgt wieder durch Kombination des Korrektursignals mit jeweils einem (korrigierten) Bit vor und nach dem Übergang zwischen zwei binären Zuständen des korrigierten Signals, das in der Regel dem ursprünglichen binären Signal entspricht.

25

Figur 3 zeigt wieder den Amplitudenverlauf des binären Signals BS in Abhängigkeit von der Zeit t . Die Soll-Abtastzeitpunkte sind mit T_0, T_1, T_2, \dots gekennzeichnet, die Ist-Zeitpunkte dagegen mit T_{0i}, T_{1i}, T_{2i} . Durch einen Phasenfehler ϕ des Abtastsignals gegenüber dem idealen Abtastzeitpunkt bzw. dem Signal, kurz als Phase bezeichnet, werden Fehlabtastungen bei Zustandswechseln wahrscheinlicher. Dadurch, dass der Abtastzeitpunkt T_{0i} näher an den Übergang zwischen den binären Zuständen heranrückt, erfolgt bei zusätzlichen Beeinflussungen/Störungen des binären Signals BS -
35 gestrichelt dargestellt - eine "fehlerhafte" Abtastung. Hier

200023535

6

wird ein 0-Bit abgetastet, das durch einen Korrekturvorgang KBT in ein 1-Bit korrigiert wird. Zum Zeitpunkt T_{1i} spielt die Phasenverschiebung des Taktsignals dagegen keine Rolle, da kein Signalübergang in der Nähe stattfindet. Erst in der
5 Nähe des Zeitpunkts T_{2i} ändert sich der binäre Zustand wieder von "0" in "1", wodurch die Wahrscheinlichkeit für eine fehlerhafte Abtastung wieder ansteigt. Bei der dargestellten Bitfolge wird es beim dem Übergang von "1" nach "0" durch den dann beibehaltenen Binärzustand "0" mit einer hohen Wahr-
10 scheinlichkeit mehr Phasen-Korrekturen KBT geben als nach dem Übergang.

Wird das Bit vor dem Signalübergang bei einem gestrichelt dargestellten gestörten Signals fälschlich als "0" abgetastet
15 und anschließend korrigiert, wird ein Phasen-Korrektursignal KBT abgegeben, das hier die Korrektur einer binären "0" in eine "1" angibt. Da das nächste (gegebenenfalls korrigierte) Bit eine Null ist, ist im idealen oder ersatzweise korrigierten Binärsignal ein Übergang zwischen den Binärzuständen vor-
20 handen. Wird dagegen das Bit nach dem Übergang korrigiert, wird ein Phasen-Korrektursignal KAT (After Transition) abgegeben. Diese Signale werden in einem Phasenregler 6 summiert und die Summen miteinander verglichen. Das Ergebnis diese Vergleichs, ein Taktphasen-Korrektursignal PH, steuert bzw.
25 korrigiert die Phasenlage des Taktsignals TS in Relation zum binären Signal BS bis die Anzahl beider Korrektursignale den gleichen Wert hat. Es gilt

(5) $\Sigma KBT > \Sigma KAT \Rightarrow$ Phase TS beschleunigen bzw. Frequenz
30 erhöhen

(6) $\Sigma KBT < \Sigma KAT \Rightarrow$ Phase TS verzögern bzw. Frequenz
erniedrigen

35 Die Phasendifferenz ϕ des Taktsignals TS gegenüber dem idealen Abtastzeitpunkten T_0, T_1, T_2, \dots für das binäre Signal BS

ist beim dargestellten Beispiel zu verringern. Entsprechendes gilt bei einer voreilenden Phase des Taktsignals.

Im Ausführungsbeispiel Figur 1 wird die Phase des von dem
5 Taktregenerator 3, hier als Phasenregelkreis (PLL) ausgebildet, erzeugten Taktsignals korrigiert. In der Regel wird die Korrektur gering sein und kann auch begrenzt werden. Die Veränderung der Phase kann in beliebiger Weise erfolgen, besonders einfach durch Eingriff in den Phasenregelkreis wie im
10 Ausführungsbeispiel.

Ohne zusätzliche Maßnahmen arbeitet das Verfahren nur, wenn vor bzw. nach einem Übergang zwischen den Binärzuständen der Binärzustand für mindestens ein weiteres Bit erhalten bleibt.
15 Bei einem 1010-Wechsel heben sich die Phasen-Korrektursignale mit großer Wahrscheinlichkeit auf; sie können auch durch Auswertung der Bitfolgen unterdrückt werden. Bei einem andauernden Wechsel von binären Nullen und binären Einsen wird die Phasenkorrektur ohne Zusatzmaßnahmen nicht erreicht; dieser
20 Fall tritt jedoch bei einer üblichen Datenübertragung nicht auf und außerdem bleibt die Funktion der analogen Phasenregelung erhalten.

Durch eine Überwachung der Korrekturrate kann die Übertragungsstrecke überprüft werden und die Regeleinrichtungen des
25 Datenregenerators gesteuert werden.

This Page Blank (uspto)

200023535

8

EPO - Munich
63
09. Feb. 2001

Patentansprüche

1. Verfahren zur Regelung der Entscheiderschwelle (TH) bei der Abtastung eines binären Signals (BS) durch Auswertung von Fehlerkorrektursignalen,
dadurch gekennzeichnet,
dass als fehlerhaft erkannte 1-Bits und als fehlerhaft erkannte 0-Bits gezählt werden,
die Anzahl ($\Sigma K1$) der als fehlerhaft erkannten 1-Bits und die Anzahl ($\Sigma K0$) der als fehlerhaft erkannten 0-Bits ausgewertet wird und
dass die Entscheiderschwelle (TH) entsprechend derart verstellt wird, dass ein optimales Verhältnis der als fehlerhaft erkannten 1-Bits und 0-Bits erreicht wird.
2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
dass die Differenz ($\Sigma K1 - \Sigma K0$) zwischen den als fehlerhaft erkannten 1-Bits und 0-Bits gebildet wird und dass diese Differenz in ein Stellsignal für die Entscheiderschwelle (TH) umgesetzt wird.
3. Verfahren nach Anspruch 2,
dadurch gekennzeichnet,
dass bei gleichgewichtigen Codes die Entscheiderschwelle (TH) derart eingestellt wird, dass die Differenz ($\Sigma K1 - \Sigma K0$) Null wird.
4. Verfahren nach Anspruch 2,
dadurch gekennzeichnet,
dass bei ungleichgewichtigen Codes das Verhältnis von 1-Bits zu 0-Bits des binären Signals (BS) berücksichtigt wird.
5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet,

200023535

9

dass bei ungleichgewichtigen Codes das Verhältnis von als fehlerhaft erkannten 1-Bits ($\Sigma K1$) zur Gesamtzahl der 0-Bits ($N0$) gebildet wird,

dass das Verhältnis der als fehlerhaft erkannten 0-Bits ($\Sigma K0$)

5 zur Gesamtzahl ($N0$) der 1-Bits ($N1$) gebildet wird,

dass ein Vergleich beider Quotienten durchgeführt wird und dass die Entscheidungsschwelle auf Grund dieses Vergleichs derart eingestellt wird, dass die Differenz zwischen den Quotienten Null wird.

10

6. Verfahren zur Regelung der relativen Phase eines Abtasttaktsignals (TS) zur Phase eines binären Signals (BS) durch Auswertung von Fehlerkorrektursignalen, dadurch gekennzeichnet,

15 dass vor einem Übergang zwischen den Binärzuständen als fehlerhaft erkannte Bits (KBT) und nach einem Übergang zwischen den Binärzuständen als fehlerhaft erkannte Bits (KAT) gezählt und die Summen (ΣKBT , ΣKAT) ausgewertet werden und

20 dass die Phase des Abtasttaktsignals (TS) derart verstellt wird, dass zumindest annähernd die selbe Anzahl der als fehlerhaft erkannte Bits (ΣKBT , ΣKAT) vor und nach einem Übergang zwischen den Binärzuständen auftritt.

7. Verfahren nach Anspruch 6,

25 dadurch gekennzeichnet,

dass nur Übergänge bei bestimmten Binärfolgen ausgewertet werden und/oder nur ein bestimmter Übergang zwischen den Binärzuständen ausgewertet wird.

30 8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

dass Korrektursignale einer Fehlerkorrektureinrichtung (4) logisch kombiniert mit dem jeweiligen Binärzustand als fehlerhaft erkannte Bits ($K1$, $K0$) ausgewertet werden und/oder

35 dass Korrektursignale vor und nach dem Übergang zwischen den Binärzuständen als Phasen-Korrektursignale (KBT, KAT) ausgewertet werden.

200023535

10

9. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die Entscheiderschwelle (TH) für das binäre Signal (BS)
5 und die Phase des Abtasttaktsignals (TS) geregelt werden.

10. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass der Anteil der als fehlerhaft angesehen Bits zur Steuerung
10 der Zeitkonstanten einer Regelungen verwendet wird.

11. Anordnung zur Regelung der Entscheiderschwelle (TH) eines
Datenregenerators (1-5) mit einer Entscheiderstufe (1), der
ein binäres Signal (BS) und ein Vergleichssignal (TH) zuge-
15 führt werden, mit einer Abtastkipfstufe (2), deren Datenein-
gang (D) mit dem Ausgang der Entscheiderstufe (1) verbunden
ist, und mit einem steuerbaren Taktregenerator (3), der ein
Abtasttaktsignal (TS) für die Abtastkipfstufe (2) erzeugt und
von einer Fehlerkorrektureinrichtung (4) gesteuert wird,
20 dadurch gekennzeichnet,
dass ein erster Regler (5) vorgesehen ist, dem von der Fehlerkorrektureinrichtung (4) ein erstes Korrektursignal (K1)
zugeführt wird, das eine Korrektur eines 1-Bits anzeigt, und
dem ein zweites Korrektursignal (K0) zugeführt wird, das die
25 Korrektur eines 0-Bits angibt,
dass der erste Regler separat beide Korrektursignale summiert
und deren Anzahl oder Verhältnis bewertet und dass der erste
Regler (5) ein Steuersignal erzeugt, das die Höhe der Vergleichssignals (TH) bestimmt.

30

12. Anordnung zur Regelung der Phase (ϕ) eines Abtasttaktsignals (TS) mit einem Taktregenerator (3), der, von einer Fehlerkorrektureinrichtung (4) gesteuert, dieses Abtasttaktsignal (TS) erzeugt, mit dem ein binäres Signal (BS) in eine Ab-
35 tastkipfstufe (2) abgetaktet wird,
dadurch gekennzeichnet,

dass ein zweiter Regler (6) vorgesehen ist, dem von der Fehlerkorrekturereinrichtung (4) ein erstes Phasen-Korrektursignal (KBT) zugeführt wird, das die Korrektur eines Bits vor einem Signalübergang zwischen zwei binären Zuständen angibt, und
5 dem ein zweites Phasenkorrektursignal (KAT) zugeführt wird, das die Korrektur eines Bits nach einem Signalübergang zwischen zwei binären Zuständen angibt, der die Korrektursignale (KBT, KAT) zählt, die Summen (ΣKBT , ΣKAT) vergleicht und ein Phasenkorrektursignal (PH) erzeugt, das die Phase des Abtast-
10 taktsignals (TS) derart verstellt, dass zumindest annähernd die selbe Anzahl von Korrektursignalen (ΣKBT , ΣKAT) vor und nach einem Übergang zwischen den Binärzuständen auftritt.

13. Anordnung zur Regelung der Entscheiderschwelle (TH) und
15 der Phase (ϕ) des Abtasttaktsignals (TS) eines Datenregenerators (1-6) nach den Ansprüchen 12 und 13.

200023535

12

EPO - Munich
63
09. Feb. 2001

Zusammenfassung

Verfahren und Anordnung zur Regelung der Entscheiderschwelle
und der Abtasttaktphase eines Datenregenerators für ein binä-
5 res Signal

Bei diesem Verfahren werden Fehlerkorrektursignale (K1, K0)
für fehlerhafte 1-Bits und 0-Bits zur Regelung der Entschei-
derschwelle (TH) einer Entscheiderstufe (1) verwendet. Weite-
10 re Phasen-Korrektursignale (KBT, KAT) zwischen Übergängen von
Binärsignalen dienen zur Phasenregelung eines Abtasttaktsig-
nals (TS).

Figur 1

This Page Blank (uspto)

2/2

FIG 2

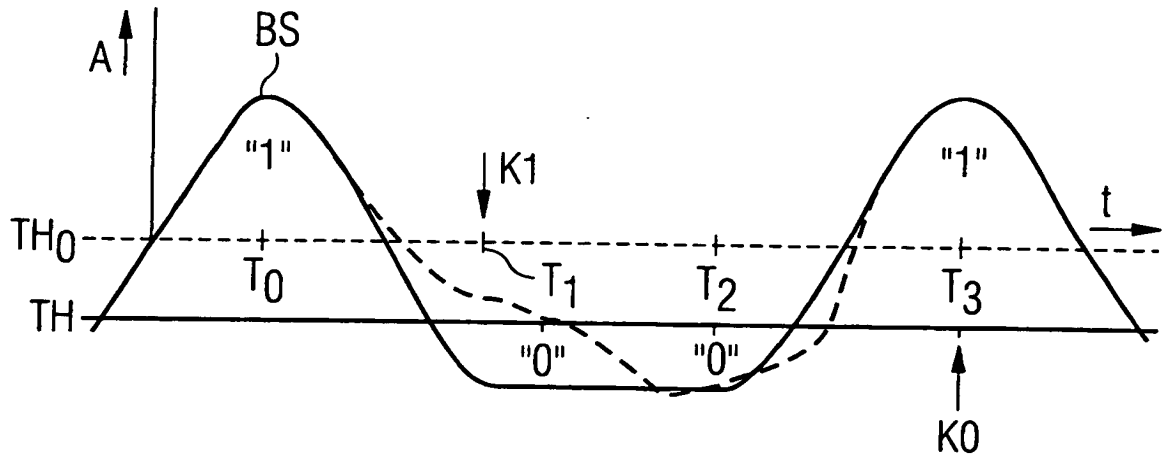


FIG 3

